

KOREAN PATENT ABSTRACTS

(11)Publication number: 100185635 B1
(43)Date of publication of application: 26.12.1998

(21)Application number: 1019960032757
(22)Date of filing: 06.08.1996
(51)Int. Cl: G11C 29/00

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: SHIN, CHUNG SEON

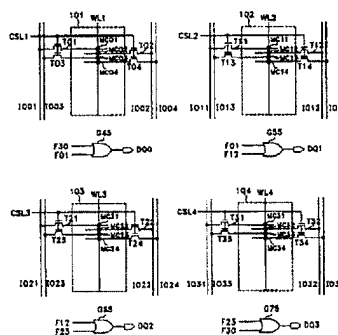
(54) PARALLEL BIT TEST CIRCUIT AND TEST METHOD THEREOF

(57) Abstract:

PURPOSE: A parallel bit test circuit and a test method thereof are provided to improve the function to detect the failure of cell among memory cells, and to improve the reliability of the semiconductor memory device, and to detect the structure failure of a word line.

CONSTITUTION: The test method of the semiconductor memory device comprising memory cell array blocks(101,102,103,104) having a number of memory cells arranged in a matrix form of a column and a row stores data of the first logic level into the memory cells, and compares the data of the memory cells connected to one word line with data of memory cells connected to one word line in the memory cell array blocks(102) adjacent to the memory cells, and then outputs

the comparison signal through a data input/output terminal. The data being output from the memory cell array block and the memory cell array blocks adjacent to the above memory cell array block are compared at first time by the first logic gates, and then the compared output signal is compared by the second logic gate at the second time, and then the method detects in which block among the memory cell array blocks there is a failed memory cell through an output signal of the third logic gate inputting the secondary compared signal..



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19960806)
Notification date of refusal decision (00000000)
Final disposal of an application (registration)
Date of final disposal of an application (19981215)
Patent registration number (1001856350000)
Date of registration (19981226)
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent (00000000)
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl. ⁶
G11C 29/00(11) 공개번호 특1998-013998
(43) 공개일자 1998년05월15일(21) 출원번호 특1996-032757
(22) 출원일자 1996년08월06일(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 팔달구 매탄동 416
(72) 발명자 신충선
서울특별시 서초구 잠원동 신반포아파트 115-1302
(74) 대리인 이견주

심사청구 : 있음

(54) 병렬 비트 테스트회로 및 그 테스트방법

요약

본 발명은 반도체 메모리 장치의 병렬 비트 테스트 회로 및 그 테스트 방법에 관한 것으로, 본 발명의 목적은 워드라인 구조성 폐일을 검출할 수 있는 병렬 비트 테스트회로 및 그 테스트 방법을 제공함에 있다. 전술한 목적을 달성하기 위한 기술적 사상에 따르면, 행과 열의 매트릭스 형태로 배열된 다수개의 메모리 셀들을 가지는 메모리 셀 어레이 블록들을 구비하는 반도체 메모리 장치의 병렬 비트 테스트방법은 상기 메모리 셀들내에 제1논리레벨의 데이터를 저장하고, 한 워드라인에 접속된 상기 메모리 셀들의 데이터와 이 메모리 셀들과 인접한 상기 메모리 셀 어레이 블록들내의 한 워드라인에 접속된 메모리 셀들의 데이터를 비교하여, 이 비교된 신호를 데이터 입출력단자를 통하여 출력하는 것을 특징으로 한다.

대표도

도2a

명세서

도면의 간단한 설명

도 1a,1b는 종래의 기술에 따라 메모리 셀 어레이를 통해 병렬 비트 테스트를 하기 위한 회로도.

도 2a,2는 본 발명의 실시예에 따라 메모리 셀 어레이를 통해 병렬 비트 테스트를 하기 위한 회로도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 메모리 장치의 병렬 비트 테스트회로 및 그 테스트 방법에 관한 것으로, 특히 워드라인성 구조폐일을 검출할 수 있는 병렬 비트 테스트회로 및 그 테스트 방법에 관한 것이다.

일반적으로 반도체 메모리 장치의 집적도가 증대됨에 따라 테스트 시간이 증대되었고, 이는 테스트 비용 상승의 원인이 된다. 총 메모리 셀들의 수가 N (N 은 자연수), 데이터 입출력단자수가 M (M 은 자연수)이라면, N/M 회 독출(Read) 혹은 기입(Write)동작을 수행하여야 전 메모리 셀을 액세스(Access)할 수 있다. 만일, M 개의 입출력 단자 각각에 대하여 동시에 L 개의 셀에 데이터를 기입하거나 독출할 수 있다면, $N/(M \cdot L)$ 회만에 전 메모리의 액세스가 가능하며, 테스트 시간은 $1/L$ 으로 단축된다. 이러한 테스트 방식을 병렬 비트 테스트(Parallel Bit Test, 이하 PBT라 칭함) 혹은 멀티 비트 테스트(Multi Bit Test, 이하 MBT라 칭함)라 한다.

도 1a,1b는 종래의 기술에 따라 구현된 메모리 셀 어레이를 통해 병렬 비트 테스트를 하기 위한 회로도이다.

상기 PBT 회로는 M=4, N=4인 경우에 한정하여 설명될 것이다. 아울러, 다수개의 메모리 셀들로 구성된 메모리 셀 어레이는 4개의 메모리 셀 어레이 블록(101)(104)으로 분할된 경우를 예를 들어 설명할 것이다.

상기 각 메모리 셀 어레이 블록(101)~(104)내의 메모리 셀들은 워드라인과 컬럼선택라인을 공유하며, 각각 별개의 데이터 입출력 경로를 가진다. 예를 들면, 메모리 셀 어레이 블록(101)내에는 하나의 워드라인 WL0에 접속된 4개의 메모리 셀들 MC01MC04을 가지며, 이 메모리 셀들 MC01MC04은 각기 해당 비트라인과 각기 접속되며, 상기 비트라인에 인가되는 신호와 대응되는 입출력라인들 IO01, IO04에 인가되는 신호를 분리하기 위해 상기 입출력라인들 IO01IO04과 상기 대응되는 비트라인들 BL01BL04사이에서 분리 트랜지스터들 T01T04이 접속되고, 이 분리 트랜지스터들 T01T04의 게이트는 상기 컬럼선택라인 CSL0과 공통으로 접속된다. 이러한 메모리 셀 어레이 블록(101)내의 메모리 셀들 MC01MC04에 일정레벨의 동일 데이터를 기입한후 이 데이터를 비교하여 상기 메모리 셀들 MC01MC04의 페일여부를 판단할 수 있는 비교신호를 데이터 입출력 단자 DQ0에 출력하는 비교기(105)가 상기 메모리 셀 어레이 블록(101)에 접속되어 있다. 여기서, 상기 비교기(105)는 상기 입출력라인들 IO01, IO03에 인가되는 신호를 비교하기 위한 배타적 반전 논리합(Exclusive NOR, G01)과, 상기 입출력라인들 IO02, IO04에 인가되는 신호를 비교하기 위한 배타적 반전 논리합(G02)과, 상기 배타적 반전 논리합들(G01, G02)의 출력신호를 입력으로 하여 상기 데이터 입출력 단자 DQ0로 상기 비교신호를 출력하는 앤드게이트(G03)로 구성된다.

상기 나머지 메모리 셀 어레이 블록들(102)(104)도 동일한 구성을 가지며, 메모리 셀들로부터 출력되는 데이터를 비교한 비교신호는 대응되는 데이터 입출력단자 DQ1DQ3를 통해 출력된다.

본 명세서에서는 상기 메모리 셀의 페일여부에 대한 테스트를 상세히 살펴볼 것이다. 먼저, 상기 메모리 셀들 MC01MC04을 테스트 하기 위해서, 상기 메모리 셀들 MC01MC04에 모두 논리 데이터 0를 기입하였다고 가정한후 상기 메모리 셀들 MC01MC04에 대한 페일 여부의 검사를 살펴보면, 만일 메모리 셀들 MC01MC04중 한 메모리 셀 MC01이 페일된 셀이라면 그 셀은 데이터 1로 읽혀지게 된다. 이때, 상기 배타적 반전 논리합(G01)의 입력단에는 논리데이터 0과 1이 각각 입력되고, 그 결과 상기 비교기(105)는 데이터 입출력 단자 DQ0에 페일된 메모리 셀의 위치정보를 알리는 비교신호 0를 출력한다. 상기 메모리 셀 MC03이 페일된 경우에도 동일한 비교신호 0가 출력된다.

상기 메모리 셀 MC02이 페일 셀인 경우에는 배타적 반전 논리합(G02)을 통하여 페일이 검출되며, 상기 메모리 셀 MC04이 페일 셀인 경우에도 배타적 반전 논리합(G02)을 통하여 페일이 검출된다. 반면에, 상기 메모리 셀들 MC01MC04이 모두 정상적인 셀이라면, 데이터 0으로 읽혀지며, 상기 비교기(105)는 데이터 입출력 단자 DQ0에 페일된 셀이 없음을 알리는 비교신호 1을 출력한다.

전술한 테스트 방법에서, 상기 메모리 셀들 MC01MC04에 데이터 1를 기입한후 상기 비교기(105)를 통해 페일된 셀의 정보인 비교신호를 출력하는 방법에서도 동일한 결과가 검출된다. 이와 같이, 각 메모리 셀 어레이 블록들(101)(104)마다 해당되는 4개의 입출력라인들을 통하여 각각 4개의 메모리 셀들의 데이터가 동시에 테스트되므로 16비트가 병렬로 테스트되며, 그 결과 테스트 시간이 1/4로 단축된다.

따라서, 상기 비교기들(105)(108)중 한 비교기 예를들면 비교기(105)에서 비교되는 4개의 메모리 셀들 MC01MC04이 모두 정상이거나 혹은 상기 배타적 반전 논리합들 G01, G02에 각기 연결된 두 메모리 셀들중 한 메모리 셀이 페일 셀인 경우에는 비교기(105)는 정상적인 동작을 수행한다. 그러나, 동일한 상기 배타적 반전 논리합들 G01, G02에 각기 연결된 2개의 메모리 셀이 모두 페일인 경우에는 상기 비교기(105)가 페일 셀의 존재를 알 수 있는 비교신호 0를 출력하지 못하고, 대신 페일이 발생되지 않았음을 알리는 비교신호 1을 출력하게 된다. 예를들어, 상기 4개의 메모리 셀들 MC01MC04에 모두 데이터 0을 기입하였다고 가정하였을 경우에, 상기 메모리 셀들 MC01MC04이 페일 셀이면 이 셀들은 모두 데이터 1로 읽혀지기에 상기 비교기(105)는 비교신호 '1'을 출력한다. 이와 반대로 상기 4개의 메모리 셀들 MC01MC04에 모두 데이터 1을 기입하였다고 가정하였을 경우에도 동일한 결과가 출력된다. 즉 워드라인 구조성 페일에 의해 한 워드라인에 접속된 메모리 셀들이 동시에 페일이 발생하게 되면 이를 검출할 수 없게 된다.

발명이 이루고자하는 기술적 과제

따라서, 본 발명의 목적은 메모리 셀들중 한 셀이라도 페일 셀이 발견되었을 경우에 이를 검출할 수 있는 기능을 향상시킬 수 있는 병렬 비트 테스트회로 및 그 테스트 방법을 제공함에 있다.

본 발명의 다른 목적은 반도체 메모리 장치의 신뢰성을 높일 수 있는 병렬 비트 테스트회로 및 그 테스트 방법을 제공함에 있다.

본 발명의 또 다른 목적은 워드라인 구조성 페일을 검출할 수 있는 병렬 비트 테스트회로 및 그 테스트 방법을 제공함에 있다.

발명의 구성 및 작용

이하 본 발명의 바람직한 실시예들의 상세한 설명이 첨부된 도면들을 참조하여 설명된다.

도면들중 동일한 구성요소 및 부분들은 가능한한 어느곳에서든지 동일한 부호들을 나타내고 있음을 유의하여야 한다.

도 2a, 2b 본 발명의 실시예에 따라 병렬 비트 테스트를 수행하기 위해 구성된 회로도이다.

도 2a, 2b를 참조하여 병렬 비트 테스트회로의 구성을 살펴보면, 인접한 메모리 셀 어레이 블록들내의 대응되는 입출력 라인들을 통해 출력되는 데이터를 비교하여 비교된 출력신호를 제공하는 4개의 제1비교기들(201)(204)과, 상기 제1비교기들(201)(204)의 출력신호를 비교하는 제2비교기들 G45, G55, G65, G75이 있다. 상기 제1비교기들(201)(204)중 하나의 제1비교기(201)를 예를 들어 설명하면, 상기 제1비교기(201)은 메모리 셀 어레이 블록(101)의 데이터와 인접한 메모리 셀 어레이 블록(102)내의 대응되는 입출력라인들 IO11IO14를 통해 출력되는 데이터를 비교하는 배타적 반전 논리합들 G40G43과, 상기 배타적 반전 논리합들 G40G43의 출력을 입력으로 하여 이에 상응하는 출력 FO1을 제공하는 앤드게이트 G44로 구성된다. 즉 이러한 제1비교기(201)은 상기 메모리 셀 어레이 블록들(101)과 (102)를 비교하여 비교된 출력 FO1을 제공하는 회로이다. 아울러, 상기 메모리 셀 어레이 블록들(102)과 (103)를 비교하기 위한 제1비교기(202)는 비교된 출력 F12를 제공한다. 또한, 상기 메모리 셀 어레이 블록들(103)과 (104)를 비교하기 위한 제1비교기(203)는 비교된 출력 F23를 제공한다. 그리고 상기 메모리 셀 어레이 블록들(104)과 (101)을 비교하기 위한 제1비교기(204)는 비교된 출력 F30를 제공한다.

따라서, 상기 메모리 셀 어레이 블록들(101)(104)중 한 메모리 셀 어레이 블록내의 한 워드라인에 접속된 메모리 셀들이 모두 페일된다 할지라도, 이 페일된 데이터 값(반전된 데이터)은 상기 인접한 메모리 셀 어레이 블록들내의 대응되는 메모리 셀의 데이터와는 상이하므로, 상기 비교기는 페일의 존재를 나타내는 비교신호 0를 출력할 수 있다. 즉, 종래의 기술에서 발생될 수 있었던 워드라인 구조성(Stuck) 페일도 검출할 수 있게 된다. 예를 들면, 상기 워드라인 WL1에 구조성 페일이 발생하여 상기 메모리 셀들 MC01MC04의 데이터가 모두 반전된 경우에도 인접한 상기 메모리 셀 어레이 블록(102)내의 대응되는 메모리 셀들 MC11MC14이 모두 페일되지 않는다면 WL1의 구조성 페일이 신호 FO1을 통해 검출된다. 설사 상기 신호 FO1을 통해서도 검출되지 않는다 하더라도 신호 F30을 통해서 상기 워드라인 WL1의 구조성 페일이 검출되기에 페일 셀을 검출하는 능력에 있어서도 우수하다.

한편, 상기 제2비교기들 G45, G55, G65, G75은 페일된 메모리 셀이 어느 메모리 셀 어레이 블록내에서 발생하였는지를 확인하기 위한 비교기이다. 만일, 상기 워드라인 WL1에 페일이 발생한 경우, 상기 신호 FO1, F30은 페일의 존재를 나타내는 신호 0를 출력하지만, 신호 F12, F23은 페일이 없음을 나타내는 신호 1을 출력한다. 이때, 상기 신호 F30, FO1이 모두 0이므로 상기 제2비교기 G45는 비교신호 0를 출력하여 상기 메모리 셀 어레이 블록(101)내에 페일이 존재함을 나타낸다. 반면에, 나머지 제2비교기들 G55, G65, G75은 모두 비교신호 1을 출력하므로 상기 메모리 셀 어레이 블록들(102)(104)내에는 페일이 존재하지 않음을 알 수 있게 된다.

웨이퍼 상태에서 메모리 셀을 테스트하여 페일 셀을 리페어(Repair)하기 위해서는 페일된 셀의 존재 유무뿐만 아니라 그 페일된 셀이 어느 메모리 셀 어레이 블록내에 존재하는지를 알아내는 것도 필요하다. 어느 메모리 셀 어레이 블록내에서 페일이 발생하였는지를 알 수 없다면, 한 메모리 셀 어레이 블록내의 페일된 셀을 리페어하기 위해서 다른 메모리 셀 어레이 블록내의 정상적인 메모리 셀들도 함께 리페어해야 하므로 리페어 효율이 저하된다. 그러나, 상기 제2비교기들 G45, G55, G65, G75이 추가됨으로써 페일 셀이 존재하는 메모리 셀 어레이 블록을 확인할 수 있게 된다.

발명의 효과

상기한 바와 같이 본 발명은 메모리 셀들중 한 셀이라도 페일 셀이 발견되었을 경우에 이를 검출할 수 있는 기능을 향상시킬수 있는 이점이 있다. 또한, 본 발명은 반도체 메모리 장치의 신뢰성을 높일 수 있는 이점이 있다. 게다가 본 발명은 워드라인 구조성 페일을 검출할 수 있는 이점도 있다.

(57)청구의 범위

청구항1

행과 열의 매트릭스 형태로 배열된 다수개의 메모리 셀들을 가지는 메모리 셀 어레이 블록들을 구비하는 반도체 메모리 장치의 병렬 비트 테스트방법에 있어서:

상기 메모리 셀들내에 제1논리레벨의 데이터를 저장하고, 한 워드라인에 접속된 상기 메모리 셀들의 데이터와 이 메모리 셀들과 인접한 상기 메모리 셀 어레이 블록들내의 한 워드라인에 접속된 메모리 셀들의 데이터를 비교하여, 이 비교된 신호를 데이터 입출력 단자를 통하여 출력하는 것을 특징으로 하는 병렬 비트 테스트방법.

청구항2

제1항에 있어서, 상기 데이터의 비교는 상기 비교대상인 메모리 셀 어레이 블록과 이 블록에 인접한 상기 메모리 셀 어레이 블록에서 각각 출력되는 데이터를 비교하는 제1논리게이트들에 의해 1차적으로 비교하고, 이 비교된 출력신호를 제2논리게이트에 의해 2차적으로 비교하며, 이 2차비교된 신호를 입력으로 하는 제3논리게이트의 출력신호를 통해 상기 메모리 셀 어레이 블록들중 어느 블록에서 페일된 상기 메모리 셀이 발생하였는지 검출하는 것을 특징으로 하는 병렬 비트 테스트방법.

청구항3

제2항에 있어서, 상기 제1논리게이트는 배타적 반전 논리합임을 특징으로 하는 병렬 비트 테스트방법.

청구항4

제2항에 있어서, 상기 제2논리게이트는 앤드게이트임을 특징으로 하는 병렬 비트 테스트방법.

청구항5

제2항에 있어서, 상기 제3논리게이트는 오아게이트임을 특징으로 하는 병렬 비트 테스트방법.

청구항6

제1항에 있어서, 상기 메모리 셀 어레이 블록들은 네개의 블록임을 특징으로 하는 병렬 비트 테스트방법.

청구항7

반도체 메모리 장치에 있어서:

행과 열의 매트릭스 형태로 배열된 다수개의 메모리 셀들을 가지는 메모리 셀 어레이 블록들과;

상기 메모리 셀 어레이 블록들마다 상기 각 행에 접속된 메모리 셀들과 각기 연결되는 입출력라인들과;

상기 메모리 셀 어레이 블록의 한 행에 접속된 상기 메모리 셀들의 데이터와 이 메모리 셀 어레이 블록과 인접한 상기 메모리 셀 어레이 블록들내의 한 행에 접속된 메모리 셀들의 데이터를 비교하여, 이 비교된 신호를 데이터 입출력단자를 통하여 출력하는 병렬 비트 테스트회로를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항8

제7항에 있어서, 상기 병렬 비트 테스트회로는 상기 비교대상인 메모리 셀 어레이 블록과 이 블록에 인접한 상기 메모리 셀 어레이 블록으로부터 각기 출력되는 데이터를 1차적으로 비교하는 제1논리게이트들과, 상기 1차적으로 비교된 신호들을 2차적으로 비교하는 제2논리게이트와, 이 2차비교된 신호를 입력으로 하여 비교신호를 출력하는 제3논리게이트를 구비하여 상기 메모리 셀 어레이 블록들중 어느 블록에서 패일린 상기 메모리 셀이 발생하였는지 검출하는 것을 특징으로 하는 병렬 비트 테스트회로.

청구항9

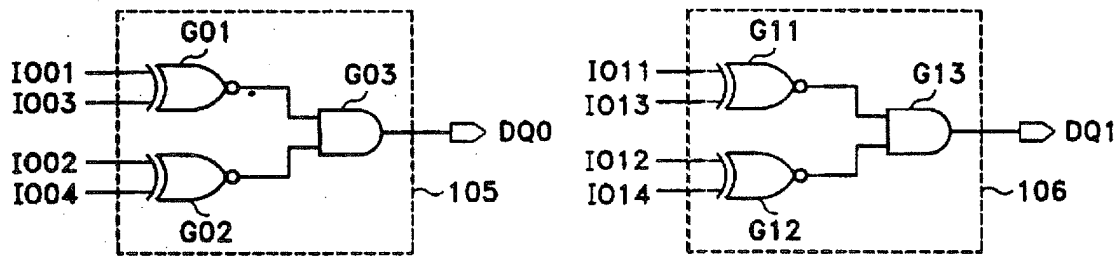
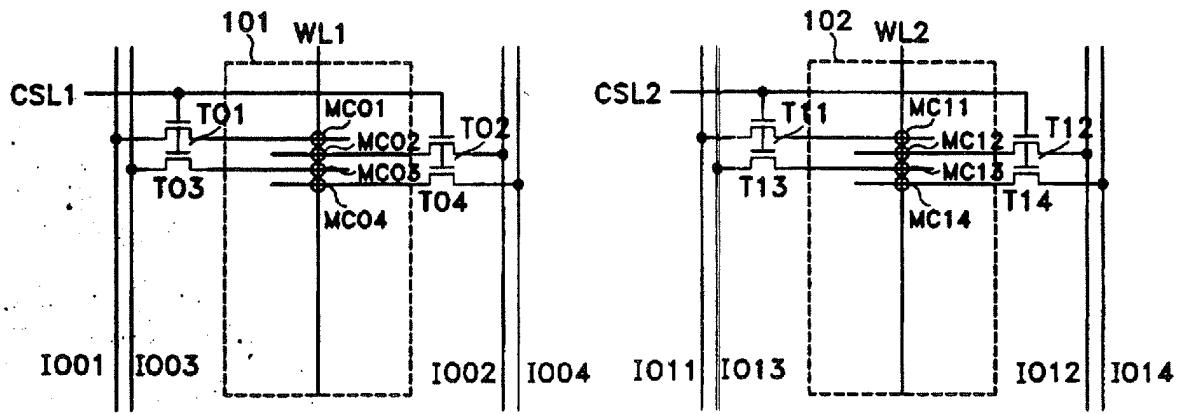
제8항에 있어서, 상기 제1,2,3논리게이트는 각기 배타적 반전 논리합과 앤드게이트 및 오아게이트임을 특징으로 하는 병렬 비트 테스트회로.

청구항10

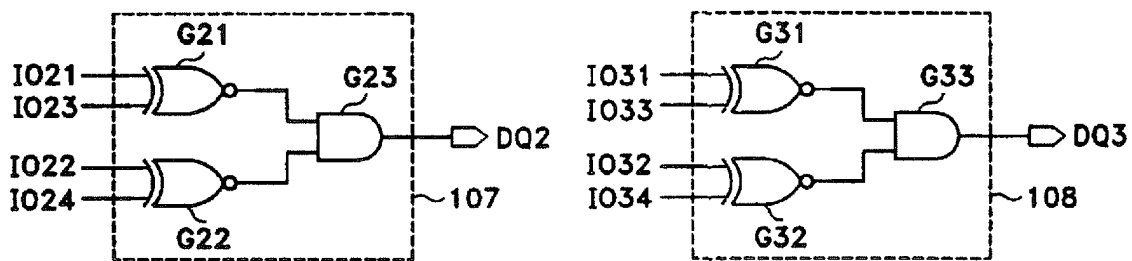
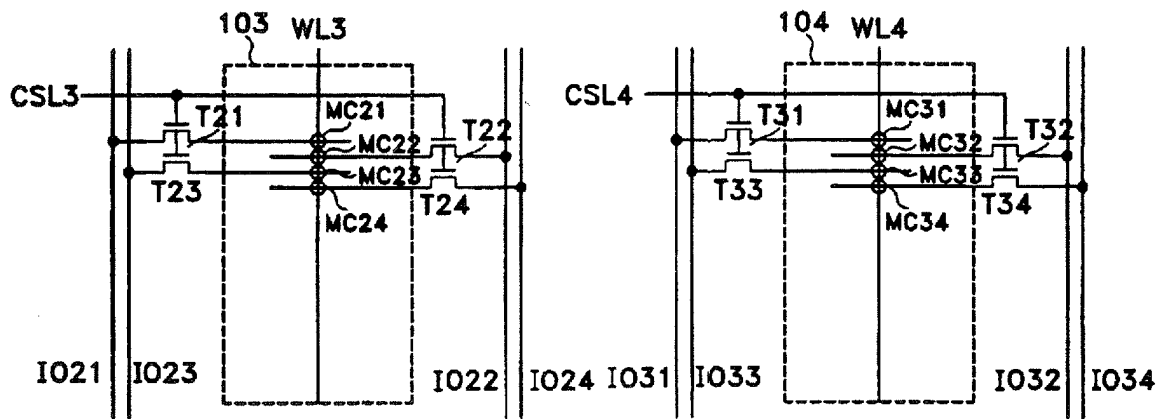
제7항에 있어서, 상기 메모리 셀 어레이 블록들은 네개의 블록임을 특징으로 하는 병렬 비트 테스트회로.

도면

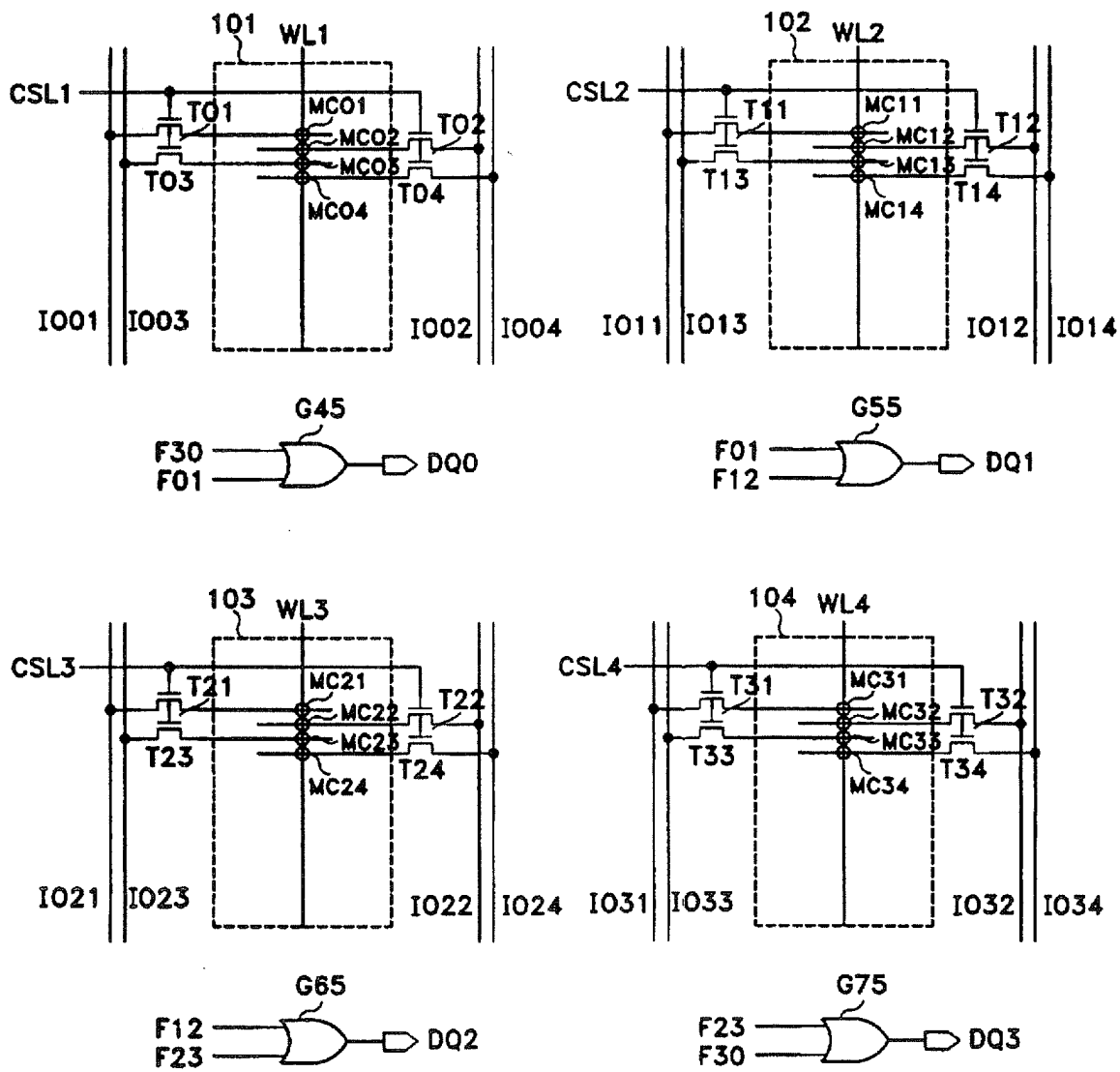
도면1a



도면1b



도면2a



도면2b

